

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平2-237038

⑫ Int.Cl.

H 01 L 21/336
21/76
27/092
27/112
29/784

識別記号

府内整理番号

⑬ 公開 平成2年(1990)9月19日

S 7638-5F

8422-5F H 01 L 29/78 301 Y
8624-5F 27/10 433
7735-5F 27/08 321 A

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特願 平1-57292

⑯ 出願 平1(1989)3月9日

⑰ 発明者 清原 雅男 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑱ 出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

チャネルストップの注入又はウェルによって配線又はチャネル領域を形成して成る半導体装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明はMOSデバイスなどに適用して好適な半導体装置に関する。

[従来の技術]

MOSデバイスはデッド・コピー (DEAD COPY) されることがある。それは、露電焼を使用して、その表面形状を観察・解析し、回路を読み取ることによって行われる。

かかるデッド・コピーを防止する技術として、ROMの分野ではコア (CORE) ROM技術が知られている。これは、ドレイン及びソース形成後に所定のMOSトランジスタのチャネル領域に不純物をイオン注入し、この所定のMOSトランジス

タのスレッシュルド電圧を高め、これがトランジスタとして機能しないようにし、データ (コード) の書き込みを行うとするものである。

確かに、このコアROM技術によれば、動作時におけるMOSトランジスタのオン、オフ状態は表面形状の観察・解析によっては知ることができない。したがって、デッド・コピーを有効に防止することができる。

[発明が解決しようとする課題]

しかしながら、かかるコアROM技術においては、データ書き込みのためのイオン注入工程が付加されることになり、その分、プロセスが複雑化し、価格の上昇を招くという問題点があった。

本発明は、かかる点にかんがみ、ROMに限らず、プロセスを複雑化させることなく、デッド・コピーの防止を図ることができるよう目的とした半導体装置を提供することを目的とする。

[課題を解決するための手段]

本発明による半導体装置は、チャネルストップの注入又はウェルによって配線又はチャネル領域

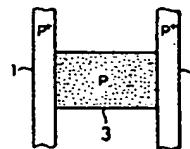
特開平2-237038(3)

図を示す平面図、第3図はpMOSトランジスタの接続状態を示す平面図、第4図はnMOSトランジスタ同の接続状態を示す平面図、第5図はデアリーション型のnMOSトランジスタを示す平面図である。

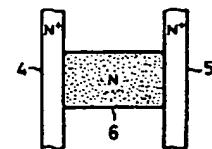
- 1、2…P+ 槻敷配線
- 3…チャネルストップ注入領域
- 4、5…N+ 槻敷配線
- 6…Nウェル
- 7、8…pMOSトランジスタ
15…チャネルストップ注入領域
- 16、17…nMOSトランジスタ
24…Nウェル
25…デアリーション型の
nMOSトランジスタ
- 29…Nウェル

出願人 株式会社 リコ一

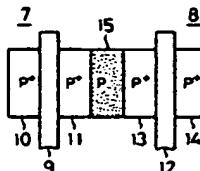
第1図



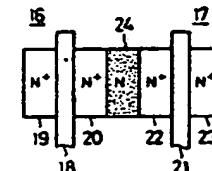
第2図



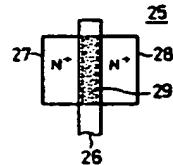
第3図



第4図



第5図



BEST AVAILABLE COPY